

レベルシフターの用途について

設計は、異なる電源電圧で動作する複数の IC を含んで、より複雑になってきています。SoC が徐々にその動作電源電圧を低下させているのに対して、センサーは従来からのより高い電源電圧に留まる傾向があります。論理回路の 5V の信号は、相手側が 3.3V の場合にはそのままでは使えません。複数の電源電圧の存在は、信号の電圧レベルを十分に早いスピードで変換するインターフェースのニーズを増大させます。

LVDI 端子によるレベル変換

GreenPAK では、色々な方法で異なる電源電圧レベルのインターフェースを行います。例えば、アプリケーションノート **AN-1063** では、ここでの議論とは異なり、外部回路を使ったレベルシフト手法について記載されています。低い電圧の論理レベルを検出する方法のひとつとして、GPAK のオプションのひとつである Low Voltage Digital Input 端子の設定が挙げられます。端子を LVDI に設定することで、Vdd が高い電圧であっても VIH の値は約 1.2V に低下します。このように、低い電圧の入力レベルが検出され、一方出力側は高い電圧のシングルレベルを維持します。しおかしながら、LVDI 回路の非対称な構造は、約 700ns の伝搬遅延を起すため、スループットは制限されます。

2 電源 GreenPAK

2 電源 GreenPAK の SLG46621V は、2 つの正電源端子と内蔵のレベルシフター機能により、高速動作を維持したままで、2 つの信号レベル間のインターフェースを容易に行います。Vdd (PIN1) は、主要な回路と I/O ピン 2-10 に電源を供給します。Vdd2 (PIN14) は、I/O 回路 (12-20 ピン) に供給されます。

2 つ目の電源端子は Vdd に対して Vdd2 という名前で、そこから電源供給を受ける端子とチップのそれ以外の部分との間の電圧変換を自動的に行います。

Vdd2 に接続された端子は、Low Voltage Digital (LVDI) を必要とせずに、他の電源電圧の領域とインターフェースできます。そのため、Vdd2 を電圧の低い方の電源ラインに接続することで閾値の要求仕様を満足できます。そのため、LVDI による伝搬遅延の影響を回避することができるのです。

スループットの比較

図 1 には、2 電源 GreenPAK を用いてレベルシフターを構成することで増加するスループットの大きさを、LVDI を用いた場合と比較して、グラフに示しています。最大のスループットを決める制約条件は、2 つのルールで定められます。ひとつは出力のデューティ比が 40%-60% であること、もうひとつは出力電圧 (VOH) が通常の値と比較して 90% 以上あることです。

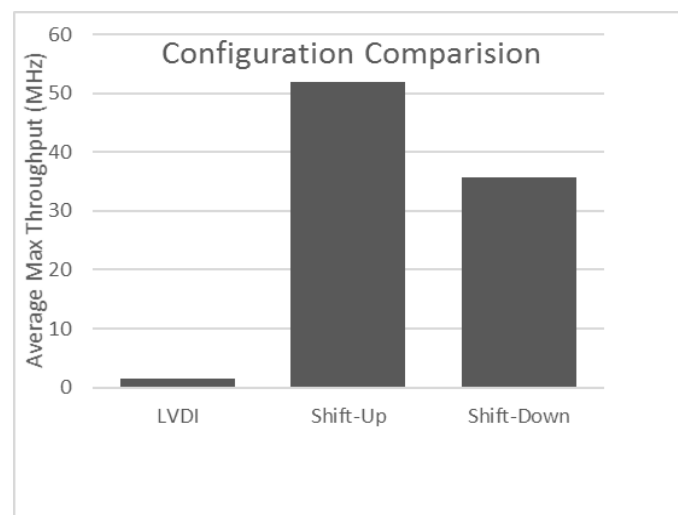


図 1. 入力端子の種類による比較



Low Voltage Digital (LVDI)、シフトアップ、およびシフトダウンの構成について、以下に示します。

LVDI: Vdd と Vdd2 をともに 5V とし、入力電圧は 0V から 1.8V の間でスイングするものとする、入力端子の設定は、図 2 のようになります。

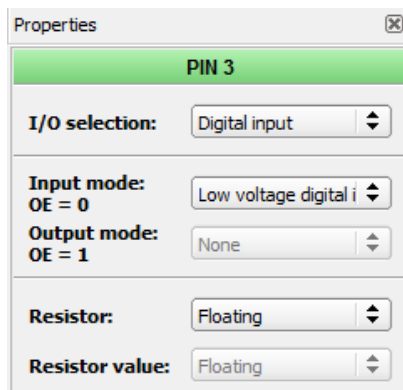


図 2. LVDI に関する設定

シフトアップ: 2 電源 GreenPAK を用いて入力信号のレベルアップを行うためには、入力端子を Vdd2 側に設定します(Digital Input with/without Schmitt Trigger)。そして、Vdd2 を低い方の電源電圧に合わせます。この試験では Vdd は 5V に、そして Vdd2 は入力電圧に合わせて 1.8V とします。入力端子の設定は、図 3 のようになります。

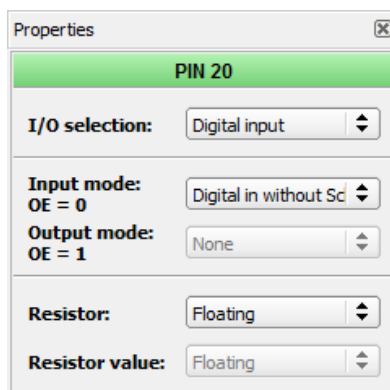


図 3. シフトアップ時の入力設定例

シフトダウン: 逆にソフトダウンをする場合も、同様に容易にできます。この場合、入力端子を 2-10 ピンから選んで Vdd を高い側の電圧に設定します。そして、シフトダウンする出力を 12-20 ピンに割り付けます。

CH1 (Yellow/Top line) – PIN#03 5V Input
CH2 (Green/ 2nd line) – PIN#20 1.8V Output
Vdd1 = 5V, Vdd2 = 1.8V

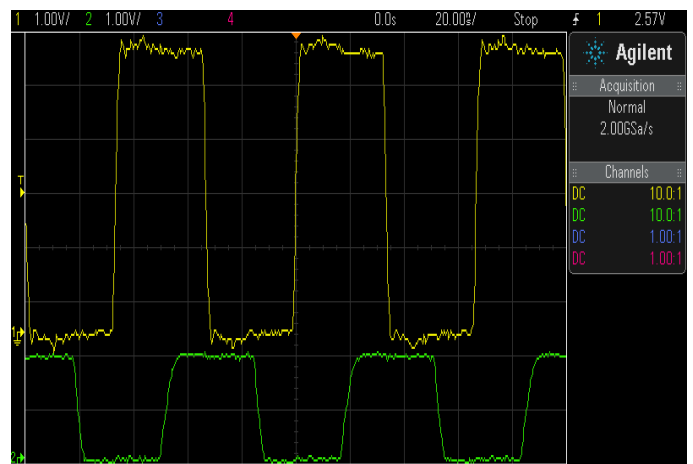


図 4. 15MHz でのレベルシフト波形

テストデータ

2つの独立した電源、可変発振器およびプログラム済 SLG46621 を用いて行ったテストの結果を以下に示します。入力信号は、シールド SMA ケーブルから GPAK のソケットに接続されます。表 1 は入力端子の設定、表 2 は本アプリケーションノートを用いて行ったテスト結果を表しています。



Test	Input P-P	Input PIN	Output Config	Vdd1	Vdd2
LVDI	1.8V	Low Voltage Digital Input	Push Pull 1x	5V	5V
Shift-up	1.8V	DI without Schmitt Trig	Push Pull 1x	5V	1.8V
Shift-down	5V	DI without Schmitt Trig	Push Pull 1x	5V	1.8V

表 1. テスト時の入力端子設定

Test	In (PIN)	Out (PIN)	Measured Throughput (MHz)
LVDI	2	20	1.4
	3	19	1.7
	4	18	1.1
Shift-up	20	3	43
	19	4	54
	18	5	59
Shift-down	3	20	30
	4	19	31
	5	18	46

表 2. テスト結果

結論+

LVDI を設定した際のスループットは、全条件で大幅に低くなっています。これは、LVDI 回路の伝搬遅延のためです。従って、異なる電源電圧間的高速信号を扱うためには、2 電源 GreenPAK がより適しています。



About the Author

Name: Luke Thomas

Background: Luke earned a B.S. in Electrical Engineering with a concentration in Computer Engineering from Grove City College. Presently he's working with Configurable Mixed Signal ICs (CMICs) and their applications.

Contact: appnotes@silego.com

Name: Gino Castillo

Background: Gino is pursuing a B.S. in Bioengineering with a minor in Electrical Engineering at Santa Clara University. Presently he's working with Configurable Mixed Signal ICs (CMICs) and their applications.

Contact: appnotes@silego.com

Document History

Document Title: 2 電源 GreenPAK を用いた高速レベルシフター

Document Number: AN-1084

Revision	Orig. of Change	Submission Date	Description of Change
A	Luke Thomas, Gino Castillo	8/6/2015	New application note

Worldwide Sales and Design Support

Silego Technology maintains a worldwide network of offices, solution centers, manufacturer's representatives, and distributors. To find the sales person closest to you, visit us at **Sales Representatives and Distributors**.

About Silego Technology

Silego Technology, Inc. is a fabless semiconductor company headquartered in Santa Clara, California, with operations in Taiwan, and additional design/technology centers in China, Korea and Ukraine.

**SILEGO**
TECHNOLOGY**Silego Technology Inc.**
1515 Wyatt Drive
Santa Clara, CA 95054**Phone:** 408-327-8800**Fax:** 408-988-3800**Website:** www.silego.com